



FEB 05 2007

I hereby certify that this paper (along with any paper referred to as being attached or enclosed) is being deposited with the U.S. Postal Service on the date shown below with sufficient postage as First Class Mail, in an envelope addressed to: MS Amendment, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Dated: February 1, 2007

Signature 
(Dennis M. Smid, Esq.)

Docket No.: SONYJP 3.0-1014
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Noguchi et al.

Application No.: 10/629,418

Group Art Unit: 2611

Filed: July 29, 2003

Examiner: J. Tu

For: DIGITAL SIGNAL PROCESSING
DEVICE AND DIGITAL SIGNAL
PROCESSING METHOD

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

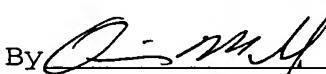
Applicants hereby claim priority under 35 U.S.C. 119 based on the following prior foreign applications filed in the following foreign countries on the dates indicated:

| Country | Application No. | Date |
|---------|-----------------|-----------|
| JAPAN | 2002-239730 | 8/20/2002 |
| JAPAN | 2003-193821 | 7/8/2003 |

In support of this claim, certified copies of the original foreign applications are filed herewith.

Dated: February 1, 2007

Respectfully submitted,

By 
Dennis M. Smid, Esq.
Registration No.: 34,930
LERNER, DAVID, LITTBENBERG,
KRUMHOLZ & MENTLIK, LLP
600 South Avenue West
Westfield, New Jersey 07090
(908) 654-5000
Attorney for Applicants

JP09820800

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application: 2002年 8月20日

出願番号

Application Number: 特願2002-239730

ST.10/C]:

[JP2002-239730]

出願人

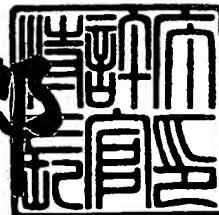
Applicant(s): ソニー株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2003年 5月27日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3039650

【書類名】 特許願
【整理番号】 0290443304
【提出日】 平成14年 8月20日
【あて先】 特許庁長官 殿
【国際特許分類】 H03M 7/34
【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内
【氏名】 野口 雅義
【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内
【氏名】 市村 元
【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内
【氏名】 鈴木 伸和
【特許出願人】
【識別番号】 000002185
【氏名又は名称】 ソニー株式会社
【代理人】
【識別番号】 100067736
【弁理士】
【氏名又は名称】 小池 晃
【選任した代理人】
【識別番号】 100086335
【弁理士】
【氏名又は名称】 田村 篤一

【選任した代理人】

【識別番号】 100096677

【弁理士】

【氏名又は名称】 伊賀 誠司

【手数料の表示】

【予納台帳番号】 019530

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707387

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ディジタル信号処理装置及びディジタル信号処理方法

【特許請求の範囲】

【請求項1】 入力信号をnビット(nは2以上)に量子化する第1の量子化手段を備える第1の△Σ変調手段と、

前記第1の△Σ変調手段の△Σ変調出力を1ビットに量子化する第2の量子化手段を備えるm次(mは2以下)の第2の△Σ変調手段と

をカスケード接続してなることを特徴とするディジタル信号処理装置。

【請求項2】 前記第1の△Σ変調手段が備える第1の量子化手段は、nビット(nは2以上)からなる量子化値として、ゼロを等量ではさむ2値に加え、この2値の差分と等差の値を量子化値とすることを特徴とする請求項1記載のディジタル信号処理装置。

【請求項3】 前記第1の△Σ変調手段の第1の量子化手段は、nビット(nは2以上)からなる量子化値として、ゼロを等量ではさむ2値に加え、この2値の差分と等差の値を量子化値とし、前記第2の△Σ変調手段の第2の量子化手段は、前記第1の量子化手段の量子化値のうちの最下位の2値の量子化値と等しい値を量子化値とすることを特徴とする請求項1記載のディジタル信号処理装置。

【請求項4】 前記第2の△Σ変調手段が備える前記第2の量子化手段は、前記第1の△Σ変調手段の△Σ変調出力を1ビットにしてエネルギーを平均化することを特徴とする請求項1記載のディジタル信号処理装置。

【請求項5】 入力信号をnビット(nは2以上)に量子化する第1の量子化工程を備える第1の△Σ変調工程と、

前記第1の△Σ変調工程の△Σ変調出力を1ビットに量子化する第2の量子化工程を備えるm次(mは2以下)の第2の△Σ変調工程と

を有することを特徴とするディジタル信号処理方法。

【請求項6】 前記第1の△Σ変調工程が備える第1の量子化工程は、nビット(nは2以上)からなる量子化値として、ゼロを等量ではさむ2値に加え、この2値の差分と等差の値を量子化値とすることを特徴とする請求項5記載のディジタル信号処理方法。

【請求項7】 前記第1の $\Delta\Sigma$ 変調工程の第1の量子化工程は、nビット(nは2以上)からなる量子化値として、ゼロを等量ではさむ2値に加え、この2値の差分と等差の値を量子化値とし、前記第2の $\Delta\Sigma$ 変調工程の第2の量子化工程は、前記第1の量子化工程の量子化値のうちの最下位の2値の量子化値と等しい値を量子化値とすることを特徴とする請求項6記載のデジタル信号処理方法。

【請求項8】 前記第2の $\Delta\Sigma$ 変調工程のうちの前記第2の量子化工程は、前記第1の $\Delta\Sigma$ 変調工程の $\Delta\Sigma$ 変調出力を1ビットにしてエネルギーを平均化することを特徴とする請求項5記載のデジタル信号処理方法。

【請求項9】 nビット(nは2以上)からなる量子化値として、ゼロを等量ではさむ2値に加え、この2値の差分と等差の値を第1群の量子化値として出力する第1の量子化手段と、

前記第1の量子化手段が出力する第1群の量子化値のうちの最下位の2値の量子化値と等しい値を第2群の量子化値として出力する第2の量子化手段とを備え

前記第2の量子化手段は前記第1の量子化手段が出力した前記第1群の量子化値のエネルギーを平均化して前記第2群の量子化値を出力することを特徴とするデジタル信号処理装置。

【請求項10】 前記第1の量子化手段と前記第2の量子化手段との間に前記第1群の量子化値を積分して前記第2の量子化手段に供給する積分手段を備え、

前記積分手段は、前記第1の量子化手段が出力した前記第1群の量子化値の前記第2群の量子化値に対する余剰分を累積し、放出可能なタイミングにて逆符号を付して、前記第2の量子化手段に供給することを特徴とする請求項9記載のデジタル信号処理装置。

【請求項11】 前記第2の量子化手段は、前記第1群の量子化値のトータルのエネルギー量を保つように前記第2群の量子化値を出力することを特徴とする請求項10記載のデジタル信号処理装置。

【請求項12】 前記第2の量子化手段は、前記積分手段内に前記余剰分がなくなったときに、前記第1群の量子化値の最下位の2値をそのまま出力することを特徴とする請求項10記載のデジタル信号処理装置。

【請求項13】 n ビット(n は2以上)からなる量子化値として、ゼロを等量ではさむ2値に加え、この2値の差分と等差の値を第1群の量子化値として出力する第1の量子化工程と、

前記第1の量子化工程が出力する第1群の量子化値のうちの最下位の2値の量子化値と等しい値を第2群の量子化値として出力する第2の量子化工程とを備え

前記第2の量子化工程は前記第1の量子化工程が出力した前記第1群の量子化値のエネルギーを平均化して前記第2群の量子化値を出力することを特徴とするデジタル信号処理方法。

【請求項14】 前記第1の量子化工程と前記第2の量子化工程との間に前記第1群の量子化値を積分して前記第2の量子化工程に供給する積分工程を備え、

前記積分工程は、前記第1の量子化工程が出力した前記第1群の量子化値の前記第2群の量子化値に対する余剰分を累積し、放出可能なタイミングにて逆符号を付して、前記第2の量子化工程に供給することを特徴とする請求項13記載のデジタル信号処理方法。

【請求項15】 前記第2の量子化工程は、前記第1群の量子化値のトータルのエネルギー量を保つように前記第2群の量子化値を出力することを特徴とする請求項14記載のデジタル信号処理方法。

【請求項16】 前記第2の量子化工程は、前記積分手段内に前記余剰分がなくなったときに、前記第1群の量子化値の最下位の2値をそのまま出力することを特徴とする請求項14記載のデジタル信号処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル信号処理方法及び装置に関し、特に $\Delta\Sigma$ 変調装置によるオーディオ信号のデジタル信号処理装置及びデジタル信号処理方法に関する。また、本発明は、第1の量子化手段にてマルチビットに量子化された量子化値を再度量子化して1ビットの量子化値を出力する第2の量子化手段を備えるデジタル信号処理装置及びデジタル信号処理方法に関する。

【0002】

【従来の技術】

$\Delta\Sigma$ 変調された高速1ビット・オーディオ信号は、従来のデジタルオーディオに使われてきたデータのフォーマット（例えばサンプリング周波数44.1kHz、データ語長16ビット）に比べて、非常に高いサンプリング周波数と短いデータ語長（例えばサンプリング周波数が44.1kHzの64倍でデータ語長が1ビット）といった形をしており、広い伝送可能周波数帯域を特長にしている。また、 $\Delta\Sigma$ 変調により1ビット信号であっても、64倍というオーバーサンプリング周波数に対して低域であるオーディオ帯域において、高いダイナミックレンジをも確保できる。この特徴を生かして高音質のレコーダーやデータ伝送に応用することができる。

【0003】

この $\Delta\Sigma$ 変調回路自体はとりわけ新しい技術ではなく、回路構成がIC化に適していて、また比較的簡単にAD変換の精度を得ることができることから従来からADコンバータの内部などではよく用いられている回路である。

【0004】

この $\Delta\Sigma$ 変調された信号は、簡単なアナログローパスフィルターを通すことによって、アナログオーディオ信号に戻すことができる。

【0005】

【発明が解決しようとする課題】

ところで、複数チャンネルの $\Delta\Sigma$ 変調された1ビット信号をミックスするには、それぞれの1ビット信号にミックス比を乗じて加算した後、再び $\Delta\Sigma$ 変調することによって1ビット信号が生成される。このとき、もしミックスの対象が相關の高いチャンネルの信号であると、そのオーディオ帯域成分信号のレベルが大きくなるため、大きなレベルを変調可能な $\Delta\Sigma$ 変調器が必要となる。

【0006】

しかし、再変調を行う $\Delta\Sigma$ 変調器には、再変調による量子化ノイズレベルの上昇を抑えるために、例えば5次のような高次の $\Delta\Sigma$ 変調器が用いられ、この場合、通常50%前後が最大変調率として使用される。高次の $\Delta\Sigma$ 変調器では、系の安

定性から例えば、50%を超えるような高い変調率を得ることは出来ない。

【0007】

一方、1次の $\Delta\Sigma$ 変調器を用いれば、100%変調までの変調が可能となるが、オーディオ帯域での量子化ノイズレベルが上昇してしまうため、これを使用することはできない。

【0008】

このためリミット処理をせずにミックスするためには、信号の各チャンネルの信号レベルを抑え、再デルタシグマ変調時の変調率を抑えて使用するしかなく、この結果信号レベルが低下し、相対的に量子化ノイズレベルが上昇し、可聴帯域のS/N比が低下してしまうという問題があった。

【0009】

また、一旦、量子化手段によって出力されたマルチビットデータを再度、量子化するための再量子化手段を有して成るデジタル信号処理装置にあっては、それぞれの量子化手段における演算を共通化する工夫がされていなかった。

【0010】

本発明は、前記実情に鑑みてなされたものであり、小さなオーディオ帯域信号レベルの信号に対しては高次 $\Delta\Sigma$ 変調による低い量子化ノイズレベルを実現しつつ、大きなレベルの信号までを表現する1ビット信号を得ることを可能にするデジタル信号処理装置及びデジタル信号処理方法の提供を目的とする。

【0011】

また、本発明は、演算量を抑え、簡単な構成によって、マルチビットデータを1ビットデータに再量子化することのできるデジタル信号処理装置及びデジタル信号処理方法の提供を目的とする。

【0012】

【課題を解決するための手段】

本発明に係るデジタル信号処理装置は、前記課題を解決するために、入力信号をnビット(nは2以上)に量子化する第1の量子化手段を備える第1の $\Delta\Sigma$ 変調手段と、前記第1の $\Delta\Sigma$ 変調手段の $\Delta\Sigma$ 変調出力を1ビットに量子化する第2の量子化手段を備えるm次(mは2以下)の第2の $\Delta\Sigma$ 変調手段とをカスケード接

続してなる。

【0013】

本発明に係るデジタル信号処理方法は、前記課題を解決するために、入力信号をnビット(nは2以上)に量子化する第1の量子化工程を備える第1の△Σ変調工程と、前記第1の△Σ変調工程の△Σ変調出力を1ビットに量子化する第2の量子化工程を備えるm次(mは2以下)の第2の△Σ変調工程とを有する。

【0014】

このように、本発明に係るデジタル信号処理装置及びデジタル信号処理方法は、例えば相関の高いチャンネルの信号をミックスして得たような、大きなレベルのオーディオ帯域信号を△Σ変調処理によって1ビット信号にする際に、△Σ変調処理を第1の△Σ変調手段と、第2の△Σ変調手段の二つに分ける。

【0015】

第1の△Σ変調手段の量子化手段として従来の量子化値が2値からなる1ビット量子化器に代え、拡張方向に量子化値を加えた複数ビットからなる第1の量子化手段を用いることによって、一旦複数ビットの信号に変換を行う。この複数ビット長の信号を前段(第1の量子化手段)の最小量子化値と等しい値を量子化値とする第2の量子化手段を持つ低次数(1次又は2次)の第2の△Σ変調手段によって、再度1ビット信号への変換処理を行う。

【0016】

これによって、低レベルの信号は高次の第1の△Σ変調手段による高いS/N比を実現しつつ、信号のレベルが高くなった時だけ、そのオーバーしたレベル分にだけ第2の△Σ変調手段による再変調によって1ビットに変換することが実現され、大きなレベルのオーディオ帯域信号までを表現する1ビット信号を得ることが可能となる。

【0017】

したがって、小さなレベルのオーディオ帯域信号の特性を維持したまま、大きなレベルのオーディオ帯域信号を表す1ビット信号を生成することが可能となり、上記課題を解決することができる。

【0018】

また、本発明に係るデジタル信号処理装置は、前記課題を解決するために、 n ビット(n は2以上)からなる量子化値として、ゼロを等量ではさむ2値に加え、この2値の差分と等差の値を第1群の量子化値として出力する第1の量子化手段と、前記第1の量子化手段が出力する第1群の量子化値のうちの最下位の2値の量子化値と等しい値を第2群の量子化値として出力する第2の量子化手段とを備え、前記第2の量子化手段は前記第1の量子化手段が出力した前記第1群の量子化値のエネルギーを平均化して前記第2群の量子化値を出力することにより前記課題を解決する。

【0019】

また、本発明に係るデジタル信号処理方法は、前記課題を解決するために、 n ビット(n は2以上)からなる量子化値として、ゼロを等量ではさむ2値に加え、この2値の差分と等差の値を第1群の量子化値として出力する第1の量子化工程と、前記第1の量子化工程が出力する第1群の量子化値のうちの最下位の2値の量子化値と等しい値を第2群の量子化値として出力する第2の量子化工程とを備え、前記第2の量子化工程は前記第1の量子化工程が出力した前記第1群の量子化値のエネルギーを平均化して前記第2群の量子化値を出力することにより前記課題を解決する。

【0020】

【発明の実施の形態】

以下、本発明に係るデジタル信号処理装置及びデジタル信号処理方法のいくつかの実施の形態について図面を参照しながら説明する。

【0021】

先ず、第1の実施の形態について図1～図3を参照して説明する。この第1の実施形態は、図1に示すように、デルタシグマ($\Delta\Sigma$)変調処理によりそれぞれ得られた1ビット(bit)信号Aと、1ビット(bit)信号Bとの加算出力を、カスケード接続された二つの $\Delta\Sigma$ 変調器3、 $\Delta\Sigma$ 変調器4とを用いて、1ビット信号にし、この1ビット信号出力を導出するデジタル信号処理装置1である。

【0022】

1ビット信号Aと1ビット信号Bが相関の高いチャンネルの信号であるとき、

加算器2の加算出力は、 $\Delta\Sigma$ 変調された1ビット信号で表現可能なオーディオ帯域最大レベルを超えることがある。このオーディオ帯域最大レベルを超えた大きなレベルの信号をデジタル信号処理装置1によって1ビット信号に変換する。

【0023】

デジタル信号処理装置1は、前記大きなレベルの入力信号を1ビット信号に変換するために、入力信号を2ビット(4値)に量子化する2ビット量子化器(第1の量子化手段)29を備える5次の $\Delta\Sigma$ 変調器(第1の $\Delta\Sigma$ 変調手段)3と、5次の $\Delta\Sigma$ 変調器3の $\Delta\Sigma$ 変調器出力(2ビット)を1ビットに量子化する1ビット量子化器(第2の量子化手段)を備える1次の $\Delta\Sigma$ 変調器(第2の $\Delta\Sigma$ 変調手段)4によって構成される。

【0024】

5次の $\Delta\Sigma$ 変調器3は、第1積分器10、第2積分器14、第3積分器18、第4積分器22、第5積分器26を有してなる。また、この $\Delta\Sigma$ 変調器3は、第1積分器10の積分出力に第1の係数を乗算して減衰させる第1係数乗算器13と、第2積分器14の積分出力に第2の係数を乗算して減衰させる第2係数乗算器17と、第3積分器18の積分出力に第3の係数を乗算して減衰させる第3係数乗算器21と、第4積分器22の積分出力に第4の係数を乗算して減衰させる第4係数乗算器25とを備える。また、前記最終の積分器となる第5積分器26の積分出力を量子化する前記2ビット量子化器29とを備える。

【0025】

第1積分器10は加算器11とシフト演算器12とからなる。第2積分器14は加算器15とシフト演算器16とからなる。第3積分器18は加算器19とシフト演算器20とからなる。第4積分器22は加算器23とシフト演算器24とからなる。第5積分器26は加算器27とシフト演算器28とからなる。

【0026】

加算器2からの加算出力が $\Delta\Sigma$ 変調器3に入ると、第1の積分器10は前記加算出力を加算器11を介してシフト演算器12に供給する。シフト演算器12は、加算器11からの加算出力をシフトし、加算器11に戻す。また、加算器11には前記2ビット量子化器29からのフィードバックループ信号も負帰還される

。そして、第1積分器10の積分出力は、第1係数乗算器13に供給される。第1係数乗算器13は、第1積分器10の積分出力に第1の係数（1／16）を乗算して減衰させ、第2積分器14に供給する。

【0027】

第2の積分器10は第1係数乗算器13からの乗算出力を加算器15を介してシフト演算器16に供給する。シフト演算器16は、加算器15からの加算出力をシフトし、加算器15に戻す。また、加算器15には前記2ビット量子化器29からのフィードバックループ信号も負帰還される。そして、第2積分器14の積分出力は、第2係数乗算器17に供給される。第2係数乗算器17は、第2積分器14の積分出力に第2の係数（1／8）を乗算して減衰させ、第3積分器18に供給する。

【0028】

第3の積分器18は第2係数乗算器17からの乗算出力を加算器19を介してシフト演算器20に供給する。シフト演算器20は、加算器19からの加算出力をシフトし、加算器19に戻す。また、加算器19には前記2ビット量子化器29からのフィードバックループ信号も負帰還される。そして、第3積分器18の積分出力は、第3係数乗算器21に供給される。第3係数乗算器21は、第3積分器18の積分出力に第3の係数（1／4）を乗算して減衰させ、第4積分器22に供給する。

【0029】

第4の積分器22は第3係数乗算器21からの乗算出力を加算器23を介してシフト演算器24に供給する。シフト演算器24は、加算器23からの加算出力をシフトし、加算器23に戻す。また、加算器23には前記2ビット量子化器29からのフィードバックループ信号も負帰還される。そして、第4積分器22の積分出力は、第4係数乗算器25に供給される。第4係数乗算器25は、第4積分器22の積分出力に第4の係数（1／2）を乗算して減衰させ、第5積分器26に供給する。

【0030】

第5の積分器26は第4係数乗算器25からの乗算出力を加算器27を介して

シフト演算器28に供給する。シフト演算器28は、加算器27からの加算出力をシフトし、加算器27に戻す。また、加算器27には前記2ビット量子化器29からのフィードバックループ信号も負帰還される。そして、第5積分器26の積分出力は、2ビット量子化器29に供給される。

【0031】

2ビット量子化器29は、第5積分器26の積分出力を量子化して2ビット信号を出力する。この2ビットからなる量子化値は、ゼロを等量ではさむ2値である例えば±1に加え、この2値の差分(2)と等しい差分を、±1との間に持つ値±3である。言い換えると、2ビットからなる4値の量子化値としては0を用いず、1ビット量子化時の量子化値±1と、この2値間の差分を持って±1と等間隔になる、±3を用いる。すなわち、量子化値は、+3、+1、-1、-3となり、差が2づつの等間隔となる。この2ビット信号は、各積分器にフィードバックループ信号として負帰還される。また、2ビット量子化器29は、前記2ビット信号出力を5次の $\Delta\Sigma$ 変調器3の外部に5次 $\Delta\Sigma$ 変調器出力として導出する。

【0032】

次に、前記5次 $\Delta\Sigma$ 変調器出力を1次の $\Delta\Sigma$ 変調器出力に変換する1次の $\Delta\Sigma$ 変調器4の構成について説明する。この1次 $\Delta\Sigma$ 変調器4は、一つの積分器30と1ビット量子化器33を備える。

【0033】

積分器30は、加算器31とシフト演算器32からなる。前記5次 $\Delta\Sigma$ 変調器出力が1次の $\Delta\Sigma$ 変調器4に入ると、積分器30は、前記5次 $\Delta\Sigma$ 変調器出力を加算器31を介してシフト演算器32に供給する。シフト演算器12は、加算器31からの前記5次 $\Delta\Sigma$ 変調器出力をシフトし、加算器31に戻す。また、加算器31には1ビット量子化器33からのフィードバックループ信号も負帰還される。

【0034】

1ビット量子化器33は、前記第1の量子化手段である2ビット量子化器29の量子化値のうちの最下位の2値の量子化値と等しい値(±1)を量子化値とす

る。この1ビット量子化器33からの1ビットの2値は、各積分器にフィードバックループ信号として負帰還されと共に、外部に1次 $\Delta\Sigma$ 変調器出力として導出される。

【0035】

以上に構成を示したデジタル信号処理装置1の動作原理について図2を参照して以下に説明する。

【0036】

2系統の1ビット信号AおよびBは、加算器2によって加算処理した後、音質の劣化を抑えるために、5次の $\Delta\Sigma$ 変調器3によって再 $\Delta\Sigma$ 変調される。

【0037】

ここで2系統の1ビット信号AおよびBがまったく同一の信号であった場合、そのオーディオ帯域成分は2倍に増加する。

【0038】

しかし、例えば5次のように高次の $\Delta\Sigma$ 変調器は、入力信号レベルが増加し、変調率が高くなると系が不安定になる。これは、量子化値が±1の2値の場合、つまり1ビット量子化器を用いている場合、そのオーディオ帯域成分が±1に近くと、±1の2値のレベルで表現することが難しくなるためである。

【0039】

本発明ではこのような大きなレベルの信号に対しても変調が可能なように、量子化器29の量子化ビット数を2ビットに拡張し、量子化値を4値とした5次の $\Delta\Sigma$ 変調器3を用いて、一旦±1を超えるオーディオ帯域信号を表した $\Delta\Sigma$ 変調信号を生成する。

【0040】

ここで、この4値の量子化値としては前述したように、0を用いず、1ビット量子化時の量子化値±1と、この2値間と等間隔になる、±3を用いる。これにより、4値の量子化値は、図2(A)に示すように、+3、+1、-1、-3という第1群の量子化値となり、差が2づつの等間隔となる。一旦2ビットに変換した信号は、後段の1次の $\Delta\Sigma$ 変調器4によって、図2(B)に示すように、再び1ビット信号に再変換される。

【0041】

ここで、後段の1ビット量子化器33の量子化値は、図2(B)に示すように、前段の2ビット量子化器29の最小量子化値である±1と同じ値の第2群の量子化値にする。これにより、オーディオ帯域成分が小さく、前段の量子化値が±1の2値に収まっている間は、後段の1次の $\Delta\Sigma$ 変調器4では、1サンプリングの遅延が生じるだけで、前段の出力値がそのまま出力される。すなわち5次の $\Delta\Sigma$ 変調の特性がそのまま出力されることになる。一方、オーディオ帯域成分が大きくなり、前段の5次の $\Delta\Sigma$ 変調器3が±3を出力すると、後段の1次の $\Delta\Sigma$ 変調器4は、超えた分を補正可能な時に補正し、その後は再び前段の値をそのまま出力するようになる。たとえば前段(5次の $\Delta\Sigma$ 変調器3)より、+3が出力された場合、後段の1次の $\Delta\Sigma$ 変調器4はそこでは+1を出力し、差分の2を積分器30に蓄える。そして次に-1が来たときに、-1を+1に補正して出力する。これにより、積分器30に蓄えられた2の分はクリアされる。それ以降は再び前段の±1出力がそのまま遅延して出力に得られるようになる。すなわちオーディオ帯域成分の振幅が大きくなり、±1を超えた時だけ2ビットから1ビットへの変換処理が働き、それ以外の時には影響を及ぼさない。

【0042】

通常、 $\Delta\Sigma$ 変調器は、量子化値以下の信号を変調するが、ここでの後段の1次の $\Delta\Sigma$ 変調器4内の量子化器33は、 $\Delta\Sigma$ 変調器3内で量子化値(±1)を超えた場合に超えた分を補正するように働くことになる。

【0043】

これは、1次の $\Delta\Sigma$ 変調器4においてマルチビット符号を1ビット化し、エネルギーを平均化していることになる。以下に、図3を参照して、マルチビット符号を1ビット化することがエネルギーの平均化となることを説明する。

【0044】

前述したように、オーディオ帯域成分が大きくなり、前段の $\Delta\Sigma$ 変調器が±3が出力されると、後段の $\Delta\Sigma$ 変調器は、超えた分を補正可能な時に補正し、その後は再び前段の値をそのまま出力するようになる。

【0045】

図3は、後段の $\Delta\Sigma$ 変調器として1次の $\Delta\Sigma$ 変調器を用いた場合の説明図で、たとえば前段の5次 $\Delta\Sigma$ 変調器3より図3 (A) に示すように時刻 t_0 で+3が outputされた場合、次のサンプリング周期 t_1 で、後段の1次 $\Delta\Sigma$ 変調器4の第1積分器30にはこの+3が蓄えられる。この時、図3 (C) に示すように1bit量子化器33からは最大値である+1しか出力されないため、これによるフィードバックでは-1しかされず、次のサンプリング周期 t_2 では図3 (B) に示すように+2の値が余剩分として積分器30に残る。ここで t_1 での入力に+1がくると、積分器30の値は図3 (B) に示すように余剩分に加えてトータルで+3となる。そしてサンプリング周期 t_2 で、入力に-1が来ると、次のサンプリング周期 t_3 で積分器30はトータル+1となり、積分器30に蓄積された余剩分の+2が放出される。この時刻 t_3 の時、図3 (C) に示すように、1bit量子化器33からは、時刻 t_2 での入力信号の-1とは逆の+1が出力される。

【0046】

同様に、-3が入力された場合には、積分器30は-3となる。ここで、蓄えられた余剩分が放出される前に、再び入力に-3が入力された場合には、積分器30は、さらにこれを累積し、-5となる。この累積した余剩分は、その後現れる2回の+1入力の時に-2づつ放出される。この時1bit量子化器33からは入力の+1とは逆の-1が出力される。

【0047】

このように1次の $\Delta\Sigma$ 変調器4を用いることによって、 ± 3 の信号が入力された場合にはその超過分を累積し、放出可能な時に1bit量子化器33出力に入力とは逆符号の信号を出力させることによって放出し、トータルの信号の持つエネルギー量を保つとともに、余剩分が無くなった時には、入力の ± 1 の信号を、遅延させただけでそのまま出力させることができる。

【0048】

以上より、第1の実施の形態のディジタル信号処理装置1は、小さなレベルのオーディオ帯域信号には5次の $\Delta\Sigma$ 変調器3のS/N比を維持したまま、大きなレベルの信号に対しても1ビットで表現することが可能となる。

【0049】

次に、第2の実施の形態について図4を参照して説明する。この第2の実施の形態も、 $\Delta\Sigma$ 変調処理によりそれぞれ得られた1ビット(bit)信号Aと、1ビット(bit)信号Bとの加算出力を、カスケード接続された二つの $\Delta\Sigma$ 変調器を用いて、1ビット信号にし、この1ビット信号出力を導出するデジタル信号処理装置40である。

【0050】

すなわち、このデジタル信号処理装置40は、前記大きなレベルの入力信号を1ビット信号に変換するために、入力信号を3ビット(8値)に量子化する3ビット量子化器(第1の量子化手段)42を備える5次の $\Delta\Sigma$ 変調器(第1の $\Delta\Sigma$ 変調手段)40と、5次の $\Delta\Sigma$ 変調器40の $\Delta\Sigma$ 変調器出力(3ビット)を1ビットに量子化する1ビット量子化器(第2の量子化手段)を備える1次の $\Delta\Sigma$ 変調器(第2の $\Delta\Sigma$ 変調手段)4によって構成される。

【0051】

5次の $\Delta\Sigma$ 変調器40は、3ビット量子化器42を備える点だけが、前記第1の実施の形態のデジタル信号処理装置1内の5次の $\Delta\Sigma$ 変調器3と異なるので、それ以外は同符号を付して説明を省略する。

【0052】

3ビット量子化器42は、入力信号を3ビットにて±1、±3、±5、±7の8値(第1群の量子化値)に量子化する。ゼロを等量ではさむ2値である±1に加え、この2値の差分(2)と等しい差分を、±1から等間隔に前値との間にもつ±3、±5、±7である。これらは、差が2づつの等間隔となる。すなわち、第1群の量子化値は、+7、+5、+3、+1、-1、-3、-5、-7となり、差が2づつの等間隔となる。この3ビット信号は、各積分器にフィードバックループ信号として負帰還される。また、3ビット量子化器42は、前記3ビット信号出力を5次の $\Delta\Sigma$ 変調器41の外部に5次 $\Delta\Sigma$ 変調器出力として導出する。

【0053】

1次の $\Delta\Sigma$ 変調器4内の1ビット量子化器33は、前記第1の量子化手段である3ビット量子化器42の量子化値のうちの最下位の2値の量子化値と等しい値(±1)を第2群の量子化値とする。この1ビット量子化器33からの1ビット

の2値は、積分器にフィードバックループ信号として負帰還されと共に、外部に1次 $\Delta\Sigma$ 変調器出力として導出される。

【0054】

以上に構成を示したデジタル信号処理装置40の動作原理について以下に説明する。

【0055】

本発明でも大きなレベルの信号に対しても変調が可能なように、量子化器42の量子化ビット数を3ビットに拡張し、量子化値を8値とした5次の $\Delta\Sigma$ 変調器40を用いて、一旦±1を超えるオーディオ帯域信号を表した $\Delta\Sigma$ 変調信号を生成する。

【0056】

ここで、この8値の量子化値としては前述したように、0を用いず、1ビット量子化時の量子化値±1と、この2値間と等間隔になる、±3、±5、±7を用いる。一旦3ビットに変換した信号は、後段の1次の $\Delta\Sigma$ 変調器4によって、再び1ビット信号に再変換される。

【0057】

ここで、後段の1ビット量子化器33の量子化値は、前段の2ビット量子化器29の最小量子化値である±1と同じ値である。これにより、オーディオ帯域成分が小さく、前段の量子化値が±1の2値に収まっている間は、後段の1次の $\Delta\Sigma$ 変調器4では、1サンプリングの遅延が生じるだけで、前段の出力値がそのまま後段より出力される。すなわち5次の $\Delta\Sigma$ 変調の特性がそのまま出力されることになる。一方、オーディオ帯域成分が大きくなり、前段の5次の $\Delta\Sigma$ 変調器41が±3、±5、±7を出力すると、後段の1次の $\Delta\Sigma$ 変調器4は、超えた分を補正可能な時に補正し、その後は再び前段の値をそのまま出力するようになる。たとえば前段（5次の $\Delta\Sigma$ 変調器41）より、+5が出力された場合、後段の1次の $\Delta\Sigma$ 変調器4はそこでは+1を出力し、差分の4を積分器30に蓄える。そして次に-1が来たときに、-1を+1に補正して出力する。また、さらに-1が来たときに、-1を+1に補正して出力する。これにより、積分器30に蓄えられた4の分はクリアされる。それ以降は再び前段の±1出力がそのまま遅延し

て出力に得られるようになる。すなわちオーディオ帯域成分の振幅が大きくなり、±1を超えた時だけ3ビットから1ビットへの変換処理が働き、それ以外の時には影響を及ぼさない。

【0058】

通常 $\Delta\Sigma$ 変調器は、量子化値以下の信号を変調するが、ここで後段の1次の $\Delta\Sigma$ 変調器4内の量子化器33は、 $\Delta\Sigma$ 変調器3内にて量子化値(±1)を超えた場合に超えた分を補正するように働くことになる。

【0059】

なお、第1の $\Delta\Sigma$ 変調手段内の第1の量子化手段は、前述したように、入力信号を2ビット、3ビットに量子化する2ビット量子化器、3ビット量子化器に限るものではない。2以上の整数nであれば、4、5、6…を適用することができる。量子化値としては、ゼロを等量ではさむ2値に加え、この2値の差分と等差の値を量子化値とすることが条件となる。

【0060】

また、前記第1、第2の実施の形態では、第1の $\Delta\Sigma$ 変調手段と共に5次の $\Delta\Sigma$ 変調器としたが、2、3、4、6、7、8…次、つまり積分器手段を前記数だけ直列に接続した段数の複数次の $\Delta\Sigma$ 変調手段としてもよい。ただし、高次になるほど変調率は下がる。

【0061】

また、これら複数次の $\Delta\Sigma$ 変調手段内の量子化手段は、もちろん、前述したようにn(2, 3, 4, 5, 6, ...)ビットの量子化器でもよい。

【0062】

また、前記第1、第2の実施の形態では、第2の $\Delta\Sigma$ 変調手段と共に1次の $\Delta\Sigma$ 変調器としたが、2次の $\Delta\Sigma$ 変調器でもよい。ただし、3次以上の $\Delta\Sigma$ 変調器は適さない。

【0063】

以下には、第2の $\Delta\Sigma$ 変調手段として1次または2次の $\Delta\Sigma$ 変調器を採用した場合と、3次の $\Delta\Sigma$ 変調器を採用した場合とで特性が異なることを説明する。

【0064】

先ず、前記第1の実施の形態のデジタル信号処理装置1の第2の $\Delta\Sigma$ 変調手段に、1次または2次の $\Delta\Sigma$ 変調器を採用した場合について説明する。

【0065】

第1の $\Delta\Sigma$ 変調手段である5次の $\Delta\Sigma$ 変調器3にて一旦2ビットに変換した信号は、後段の1次または2次の $\Delta\Sigma$ 変調器によって、再び1ビット信号に再変換される。ここで、後段の1ビット量子化器の量子化値は、前段の2ビット量子化器の最小量子化値である±1と同じ値にする。これにより、オーディオ帯域成分が小さく、前段の量子化値が±1の2値に収まっている間は、後段の $\Delta\Sigma$ 変調器では、1次で1サンプリング、2次で2サンプリングの遅延が生じるだけで、前段の出力値がそのまま後段より出力される。すなわち5次の $\Delta\Sigma$ 変調の特性がそのまま出力されることになる。

【0066】

図5には1次の $\Delta\Sigma$ 変調器4の構成を示す。図6には1次の $\Delta\Sigma$ 変調器4を用いた場合の動作を説明するためのタイミングチャートを示す。図6 (A) の1次 $\Delta\Sigma$ 変調器入力に積分処理を施した積分器30の出力が図6 (B) に示すように±1とすると、1bit量子化器33の出力は、±1からなる積分器出力と図6 (C) に示すように同一信号になる。このため、積分器30への2系統のフィードバックループ信号は、自分自身と1bit量子化器33からの逆符号の同一レベル信号の加算となるため、合計値は常に0となる。従って、積分器30は常に入力信号を、1サンプル遅延した±1を出力信号とし、そのまま1bit量子化器出力から±1の同一信号が得られる。

【0067】

図7には2次の $\Delta\Sigma$ 変調器50の構成を示す。2次の $\Delta\Sigma$ 変調器50は、第1積分器51と第2積分器53とを間に係数乗算器52を挟んで直列に接続し、さらに第2積分器の後段に1ビット量子化器54を接続して、フィードバックループ信号を前記二つの積分器に負帰還する構成である。係数乗算器は、第1積分器51の積分出力に係数1/2を乗算して減衰させている。

【0068】

図8には2次の $\Delta\Sigma$ 変調器50を用いた場合の動作を説明するためのタイミン

グチャートを示す。図8 (A) の2次 $\Delta\Sigma$ 変調器入力に積分処理を施した第1積分器51の出力が図8 (B) に示すように±2とすると、第2積分器53の積分出力は図8 (C) に示すように±0.5となる。そして、1ビット量子化器54の量子化出力は図8 (D) に示すようになる。つまり、図8 (D) に示す1ビット量子化器54の出力が、図8 (A) に示す2次 $\Delta\Sigma$ 変調器入力の2サンプル遅延と同一値となる。

【0069】

次に、図9には3次の $\Delta\Sigma$ 変調器60の構成を示す。3次の $\Delta\Sigma$ 変調器60は、第1積分器61と第2積分器63と第3積分器65とを、係数乗算器62と、係数乗算器64を挟んで直列に接続し、さらに第3積分器の後段に1ビット量子化器66を接続して、フィードバックループ信号を前記三つの積分器に負帰還する構成である。係数乗算器62は、第1積分器61の積分出力に係数1/4を乗算して減衰させ、第2積分器63に供給している。係数乗算器64は、第2積分器63の積分出力に係数1/2を乗算して減衰させ、第3積分器65に供給している。

【0070】

図10には3次の $\Delta\Sigma$ 変調器60を用いた場合の動作を説明するためのタイミングチャートを示す。図10 (A) の3次 $\Delta\Sigma$ 変調器入力に積分処理を施した第1積分器61の出力が図10 (B) に示すように±2とすると、第2積分器63の積分出力は図10 (C) に示すように±1となる。さらに、第3積分器65の積分出力は図10 (D) に示すようになる。そして、1ビット量子化器66の量子化出力は図10 (E) に示すようになる。つまり、図10 (E) に示す1ビット量子化器66の出力は、図10 (A) に示す3次 $\Delta\Sigma$ 変調器入力を単純に遅延させた値とならず、異なった信号となってしまいます。

【0071】

よって、前記第2の $\Delta\Sigma$ 変調手段に用いる $\Delta\Sigma$ 変調器としては、3次の $\Delta\Sigma$ 変調器は適さず、2次以下の $\Delta\Sigma$ 変調器が適する。

【0072】

なお、オーディオ帯域成分のレベルが大きくなる例として、前記第1、第2の

実施の形態では、2系統の1bit信号を加算（ミックス）する場合を示したが、3、4、5、6チャンネル等多チャンネルのミックスや、フェードイン、フェードアウト、クロスフェード等のレベルコントロールなど、もとの1ビット信号のレベルを超えてしまうようなその他さまざまな場合も想定することができる。

【0073】

【発明の効果】

本発明に係るデジタル信号処理装置及び方法は、複数mビットからなる量子化器を持つ第1の $\Delta\Sigma$ 変調手段によって変調された複数ビット長の信号に再度、低次数n（2以下）の第2の $\Delta\Sigma$ 変調手段にて $\Delta\Sigma$ 変調を施すことにより、小さなレベルの信号には高次の $\Delta\Sigma$ 変調器による高いS/N比を実現しつつ、信号のレベルが大きくなった時だけ、そのオーバーしたレベル分にだけ再変調をかけることによって、大きなレベルの信号までを表現する1ビット信号を得ることを実現可能としている。つまり、小さなオーディオ帯域信号レベルの信号に対しては高次 $\Delta\Sigma$ 変調による低い量子化ノイズレベルを実現しつつ、大きなレベルの信号までを表現する1ビット信号を得ることを可能にする。

【0074】

また、本発明に係るデジタル信号処理装置及び方法は、第1の量子化手段及び工程が出力する第1群の量子化値のうちの最下位の2値の量子化値と等しい値を第2群の量子化値として出力する第2の量子化手段を備えてなり、第2の量子化手段は第1の量子化手段が出力した第1群の量子化値のエネルギーを平均化して第2群の量子化値を出力するので、簡単な構成によって、マルチビットデータを1ビットデータに再量子化することができる。

【図面の簡単な説明】

【図1】

第1の実施の形態のデジタル信号処理装置の構成図である。

【図2】

第1の実施の形態の動作を説明するためのタイミングチャートである。

【図3】

第1の実施の形態を構成する第2の $\Delta\Sigma$ 変調器におけるエネルギーの平均化を

説明するためのタイミングチャートである。

【図4】

第2の実施の形態のデジタル信号処理装置の構成図である。

【図5】

1次の $\Delta\Sigma$ 変調器の構成図である。

【図6】

1次の $\Delta\Sigma$ 変調器を用いた場合の動作を説明するためのタイミングチャートである。

【図7】

2次の $\Delta\Sigma$ 変調器の構成図である。

【図8】

2次の $\Delta\Sigma$ 変調器を用いた場合の動作を説明するためのタイミングチャートである。

【図9】

3次の $\Delta\Sigma$ 変調器の構成図である。

【図10】

3次の $\Delta\Sigma$ 変調器を用いた場合の動作を説明するためのタイミングチャートである。

【符号の説明】

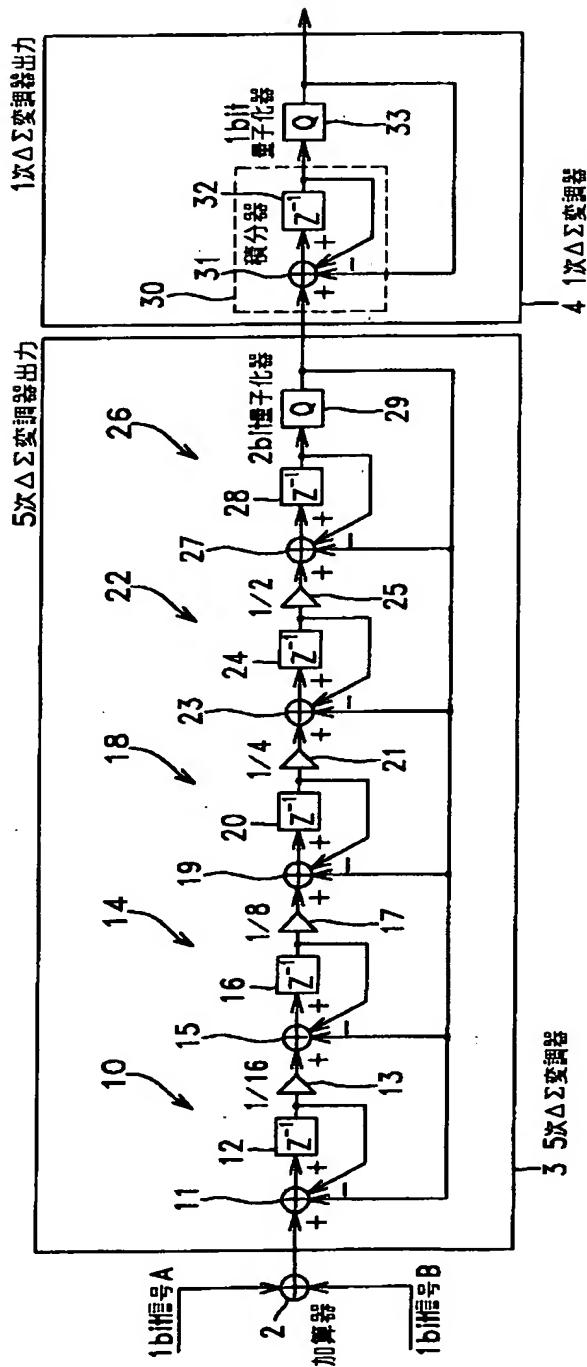
1 デジタル信号処理装置、3 5次の $\Delta\Sigma$ 変調器、4 1次の $\Delta\Sigma$ 変調器
、29 2ビット量子化器、33 1ビット量子化器

【書類名】

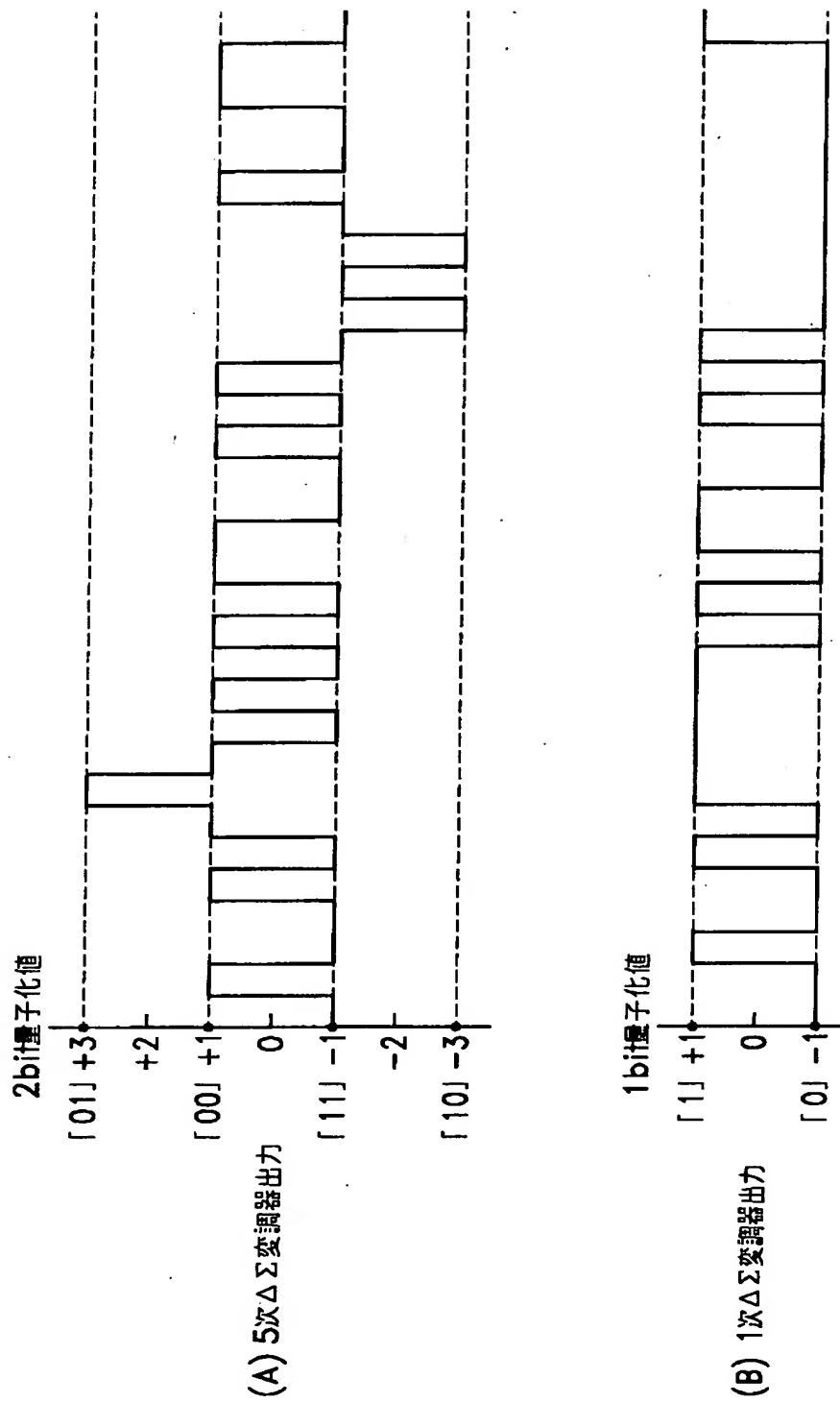
図面

【図1】

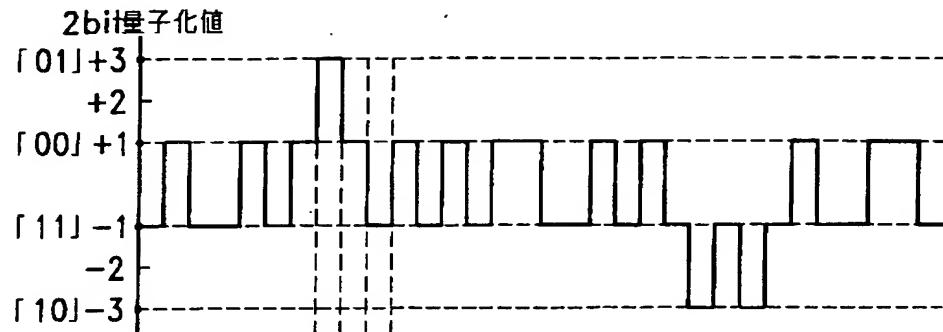
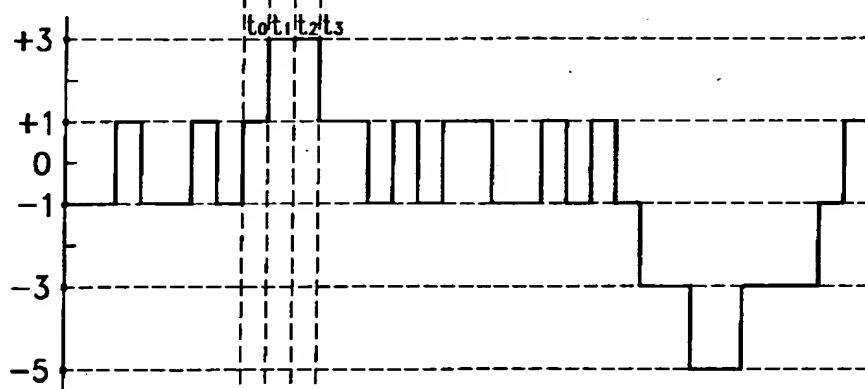
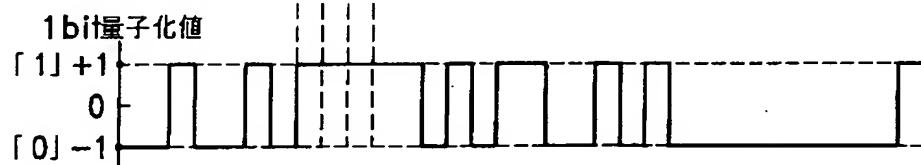
1 ディジタル信号処理装置



【図2】

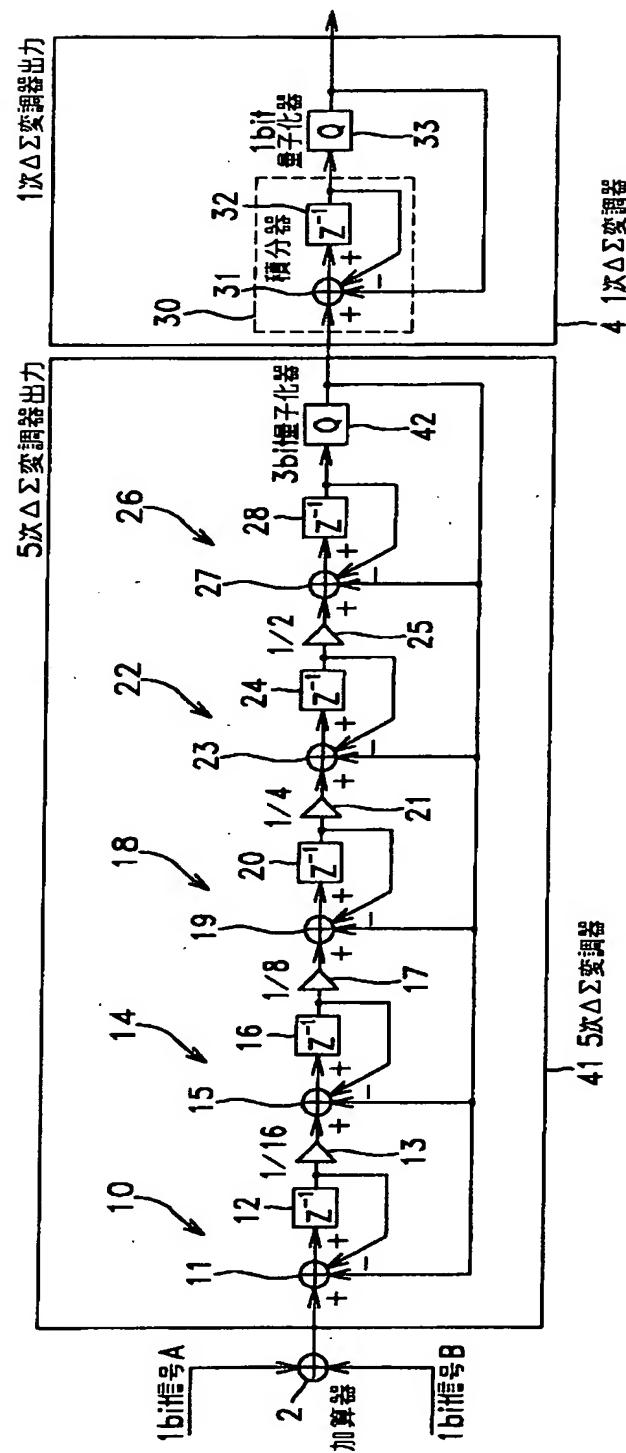


【図3】

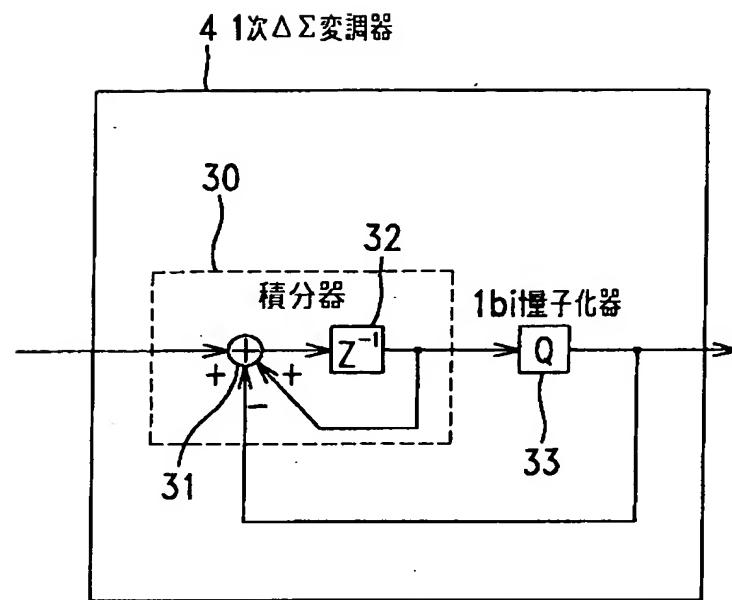
(A) 5次 $\Delta\Sigma$ 変調器出力(B) 1次 $\Delta\Sigma$ 変調器の
積分器出力(C) 1次 $\Delta\Sigma$ 変調器出力

【図4】

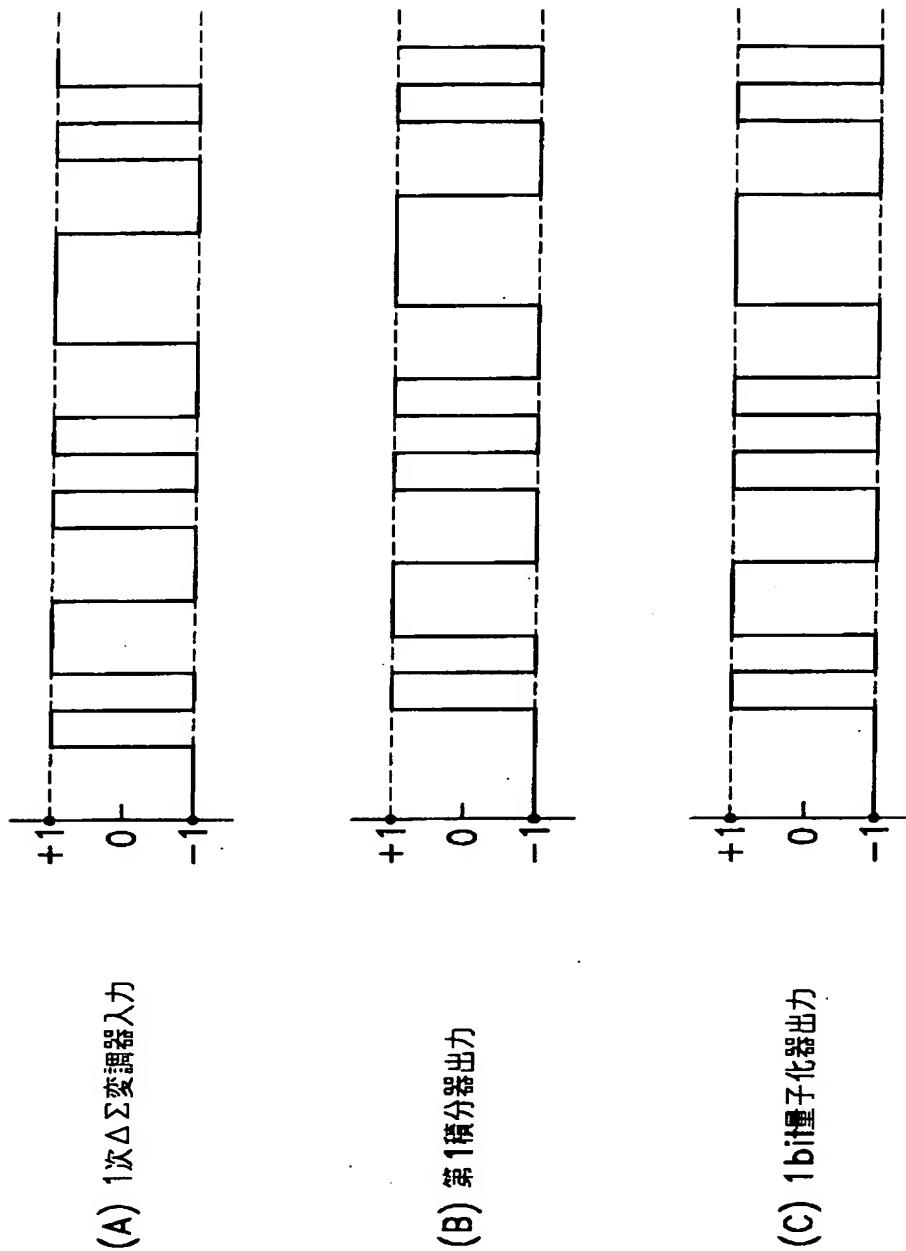
40 ディジタル信号処理装置



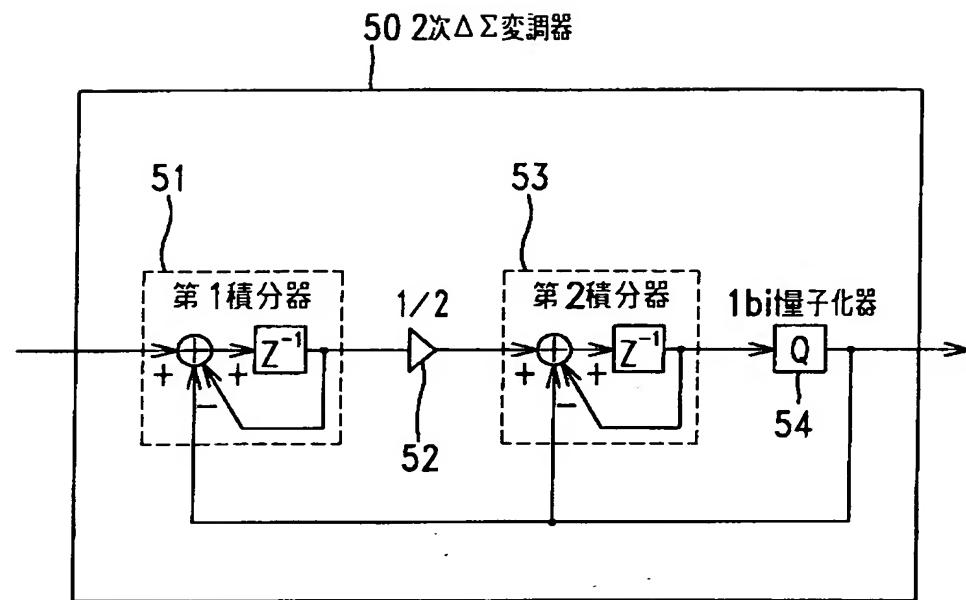
【図5】



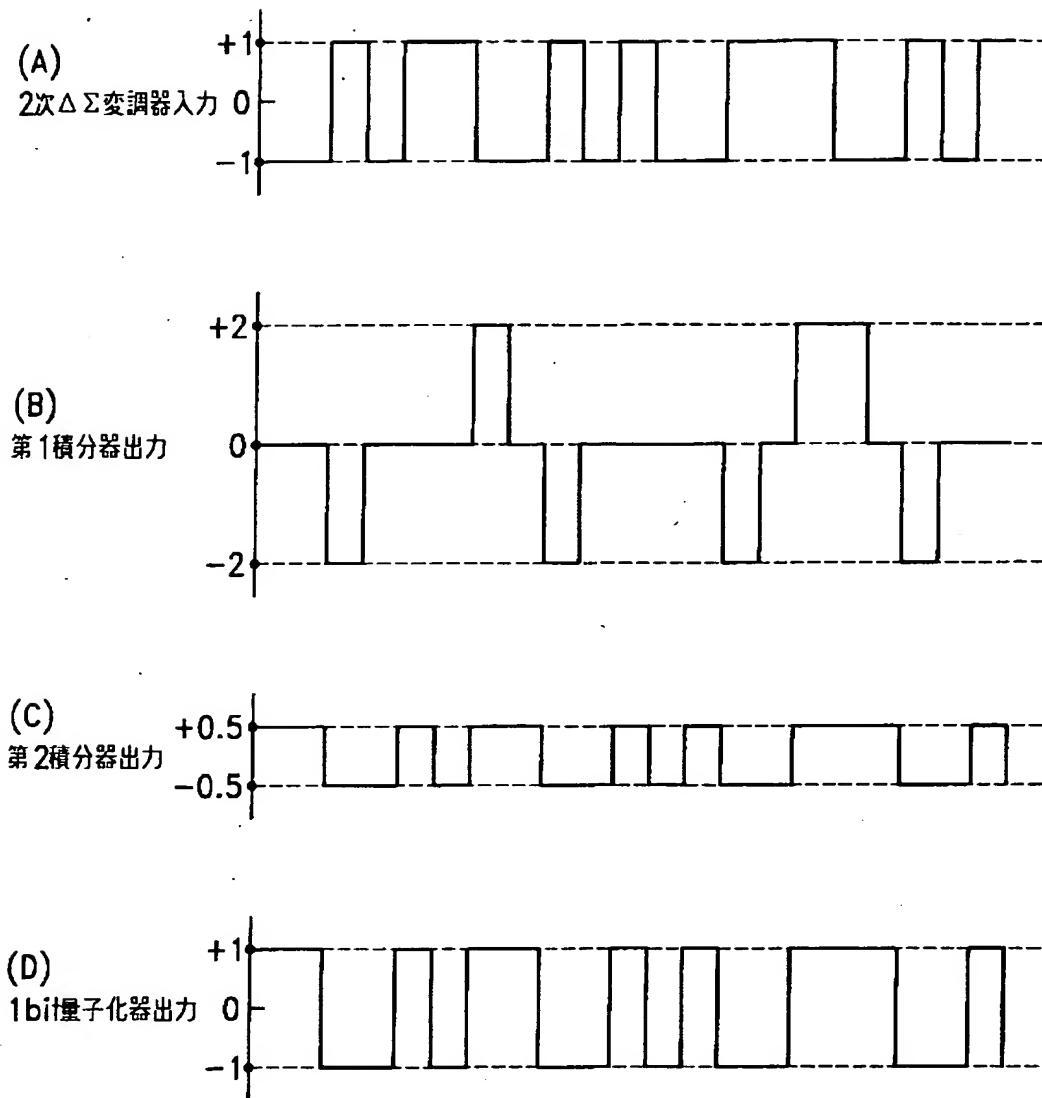
【図6】



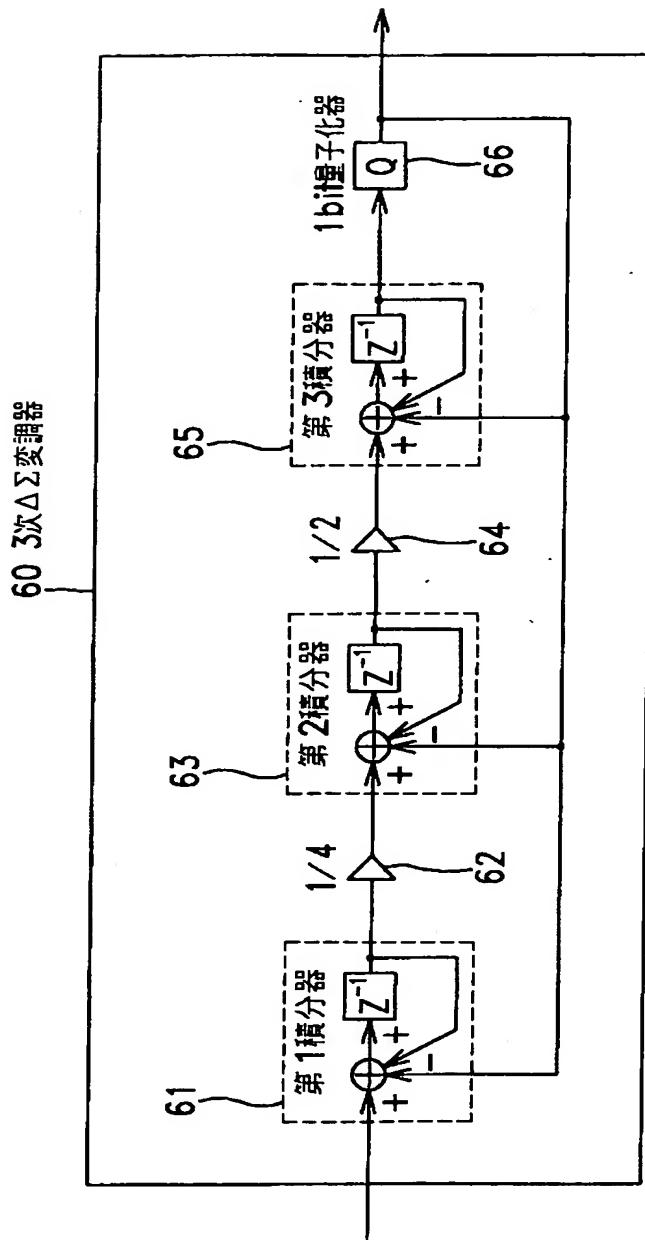
【図7】



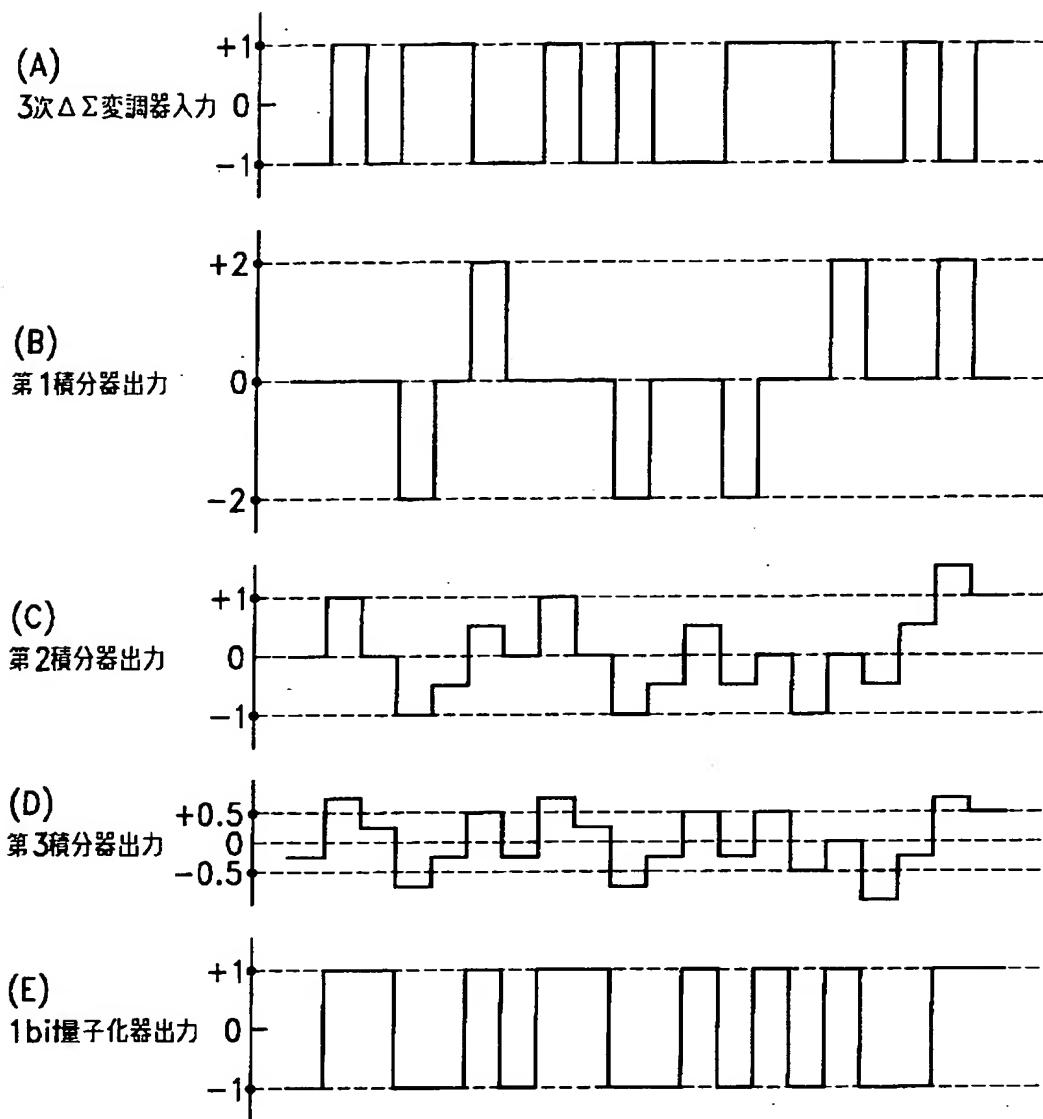
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 小さなオーディオ帯域信号レベルの信号に対しては高次 $\Delta\Sigma$ 変調による低い量子化ノイズレベルを実現しつつ、大きなレベルの信号までを表現する1ビット信号を得ることを可能にするデジタル信号処理装置を提供する。

【解決手段】 量子化器29の量子化ビット数を2ビットに拡張し、量子化値を4値(±1、±3)とした5次の $\Delta\Sigma$ 変調器3を用いて、一旦±1を超えるオーディオ帯域信号を表した $\Delta\Sigma$ 変調信号を生成する。一旦2ビットに変換した信号は、後段の1次の $\Delta\Sigma$ 変調器4によって、再び1ビット信号に再変換される。ここで、後段の1ビット量子化器33の量子化値は、前段の2ビット量子化器29の最小量子化値である±1と同じ値にする。

【選択図】 図1

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住所 東京都品川区北品川6丁目7番35号

氏名 ソニー株式会社